

浅谈 PCB 的阻抗控制

随着电路设计日趋复杂和高速，如何保证各种信号（特别是高速信号）完整性，也就是保证信号质量，成为难题。此时，需要借助传输线理论进行分析，控制信号线的特征阻抗匹配成为关键，不严格的阻抗控制，将引发相当大的信号反射和信号失真，导致设计失败。常见的信号，如 PCI 总线、PCI-E 总线、USB、以太网、DDR 存、LVDS 信号等，均需要进行阻抗控制。阻抗控制最终需要通过 [PCB 设计](#) 实现，对 PCB 板工艺也提出更高要求，经过与 PCB 厂的沟通，并结合 EDA 软件的使用，我对这个问题有了一些粗浅的认识，愿和大家分享。

多层板的结构：

为了很好地对 PCB 进行阻抗控制，首先要了解 PCB 的结构：

通常我们所说的多层板是由芯板和半固化片互相层叠压合而成的，芯板是一种硬质的、有特定厚度的、两面包铜的板材，是构成印制板的基础材料。而半固化片构成所谓的浸润层，起到粘合芯板的作用，虽然也有一定的初始厚度，但是在压制过程中其厚度会发生一些变化。

通常多层板最外面的两个介质层都是浸润层，在这两层的外面使用单独的铜箔层作为外层铜箔。外层铜箔和层铜箔的原始厚度规格，一般有 0.50Z、10Z、20Z（10Z 约为 35um 或 1.4mil）三种，但经过一系列表面处理后，外层铜箔的最终厚度一般会增加将近 10Z 左右。层铜箔即为芯板两面的包铜，其最终厚度与原始厚度相差很小，但由于蚀刻的原因，一般会减少几个 um。

多层板的最外层是阻焊层，就是我们常说的“绿油”，当然它也可以是黄色或者其它颜色。阻焊层的厚度一般不太容易准确确定，在表面无铜箔的区域比有铜箔的区域要稍厚一些，但因为缺少了铜箔的厚度，所以铜箔还是显得更突出，当我们用手指触摸印制板表面时就能感觉到。

当制作某一特定厚度的印制板时，一方面要求合理地选择各种材料的参数，另一方面，半固化片最终成型厚度也会比初始厚度小一些。下面是一个典型的 6 层板叠层结构：

			mil	um	material	
TOP	1		0.6	15.24	Mask	
			1.8	45.72	Copper	Signal
L2	2		5.6	142.24	1080x2	
			1.2	30.48	Copper	GND
L3	3		8	203.2	Core	
			1.2	30.48	Copper	Signal
L4	4		25	635	pp	
			1.2	30.48	Copper	Signal
L5	5		8	203.2	Core	
			1.2	30.48	Copper	VCC
BOT	6		5.6	142.24	1080x2	
			1.8	45.72	Copper	Signal
			0.6	15.24	Mask	

PCB 的参数：

不同的印制板厂，PCB 的参数会有细微的差异，通过与嘉捷通[电路板](#)厂技术支持的沟通，得到该厂的一些参数数据：

表层铜箔：

可以使用的表层铜箔材料厚度有三种：12um、18um 和 35um。加工完成后的最终厚度大约是 44um、50um 和 67um。

芯板：我们常用的板材是 S1141A，标准的 FR-4，两面包铜，可选用的规格可与厂家联系确定。

半固化片：

规格（原始厚度）有 7628（0.185mm），2116（0.105mm），1080（0.075mm），3313（0.095mm），实际压制完成后的厚度通常会比原始值小 10-15um 左右。同一个浸润层最多可以使用 3 个半固化片，而且 3 个半固化片的厚度不能都相同，最少可以只用一个半固化片，但有的厂家要求必须至少使用两个。如果半固化片的厚度不够，可以把芯板两面的铜箔蚀刻掉，再在两面用半固化片粘连，这样可以实现较厚的浸润层。

阻焊层：

铜箔上面的阻焊层厚度 $C2 \approx 8-10\mu m$ ，表面无铜箔区域的阻焊层厚度 $C1$ 根据表面铜厚的不同而不同，当表面铜厚为 45um 时 $C1 \approx 13-15\mu m$ ，当表面铜厚为 70um 时 $C1 \approx 17-18\mu m$ 。

导线横截面：

以前我一直以为导线的横截面是一个矩形，但实际上却是一个梯形。以 TOP 层为例，当铜箔厚度为 10Z 时，梯形的上底边比下底边短 1MIL。比如线宽 5MIL，那么其上底边约 4MIL，下底边 5MIL。上下底边的差异和铜厚有关，下表是不同情况下梯形上下底的关系。

层 \ 线宽	基铜厚 (um)	上线宽 (mil) W2	下线宽 (mil) W1
内层	18	$W_0 - 0.5$	W_0
	35	$W_0 - 1$	W_0
	70	$W_0 - 1.5$	$W_0 - 1$
外层	18	$W_0 - 1$	W_0
	35	$W_0 - 0.8$	$W_0 - 0.5$
	70	$W_0 - 1.5$	$W_0 - 1$

W_0 表示布线线宽

介电常数：半固化片的介电常数与厚度有关，下表为不同型号的半固化片厚度和介电常数参数：

型号	厚度	介电常数
1080	2.8mil	4.3
3313	3.8mil	4.3
2116	4.5mil	4.5
7628	6.8mil	4.7

板材的介电常数与其所用的树脂材料有关，FR4 板材其介电常数为 4.2—4.7，并且随着频率的增加会减小。

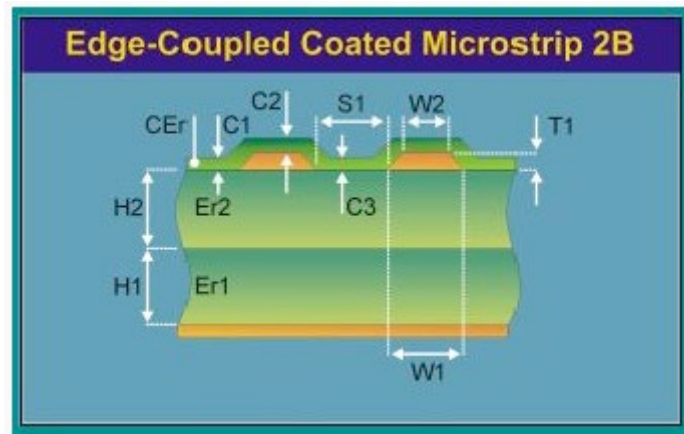
介质损耗因数：电介质材料在交变电场作用下，由于发热而消耗的能量称之为介质损耗，通常以介质损耗因数 $\tan \delta$ 表示。S1141A 的典型值为 0.015。

能确保加工的最小线宽和线距：4mil/4mil。

阻抗计算的工具简介：

当我们了解了多层板的结构并掌握了所需要的参数后，就可以通过 EDA 软件来计算阻抗。可以使用 Allegro 来计算，但这里我向大家推荐另一个工具 Polar SI9000，这是一个很好的计算特征阻抗的工具，现在很多印制板厂都在用这个软件。

无论是差分线还是单端线，当计算层信号的特征阻抗时，你会发现 Polar SI9000 的计算结果与 Allegro 仅存在着微小的差距，这跟一些细节上的处理有关，比如说导线横截面的形状。但如果是计算表层信号的特征阻抗，我建议你选择 Coated 模型，而不是 Surface 模型，因为这类模型考虑了阻焊层的存在，所以结果会更准确。下图是用 Polar SI9000 计算在考虑阻焊层的情况下表层差分线阻抗的部分截图：



由于阻焊层的厚度不易控制，所以也可以根据板厂的建议，使用一个近似的办法：在 Surface 模型计算的结果上减去一个特定的值，我建议差分阻抗减去 8 欧姆，单端阻抗减去 2 欧姆

PCB 阻抗控制

随着 PCB 信号切换速度不断增长，当今的 PCB 设计厂商需要理解和控制 PCB 迹线的阻抗。相应于现代数字电路较短的信号传输时间和较高的时钟速率，PCB 迹线不再是简单的连接，而是传输线。

在实际情况中，需要在数字边际速度高于 1ns 或模拟频率超过 300Mhz 时控制迹线阻抗。PCB 迹线的关键参数之一是其特性阻抗（即波沿信号传输线路传送时电压与电流的比值）。印制电路板上导线的特性阻抗是电路板设计的一个重要指标，特别是在高频电路的 PCB 设计中，必须考虑导线的特性阻抗和器件或信号所要求的特性阻抗是否一致，是否匹配。这就涉及到两个概念：阻抗控制与阻抗匹配，本文重点讨论阻抗控制和叠层设计的问题。

阻抗控制

阻抗控制(Impedance Controlling)，线路板中的导体中会有各种信号的传递，为提高其传输速率而必须提高其频率，线路本身若因蚀刻，叠层厚度，导线宽度等不同因素，将会造成阻抗值得变化，使其信号失真。故在高速线路板上的导体，其阻抗值应控制在某一围之，称为“阻抗控制”。

PCB 迹线的阻抗将由其感应和电容性电感、电阻和电导系数确定。影响 PCB 走线的阻抗的因素主要有：铜线的宽度、铜线的厚度、介质的介电常数、介质的厚度、焊盘的厚度、地线的路径、走线周边的走线等。PCB 阻抗的围是 25 至 120 欧姆。

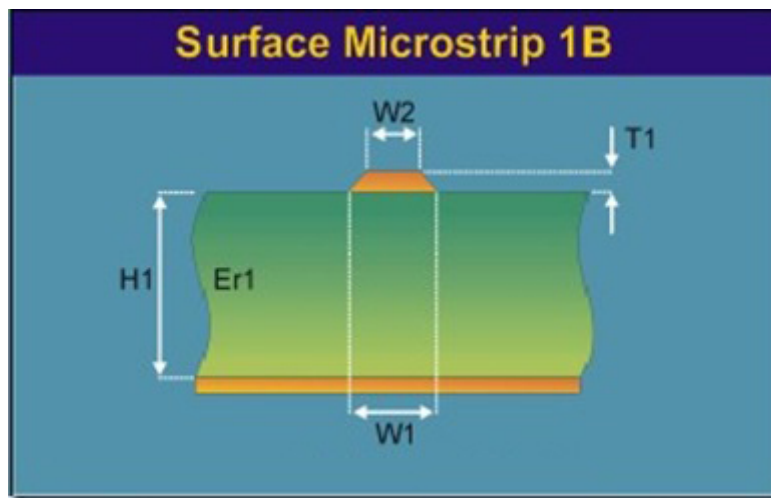
在实际情况下，PCB 传输线路通常由一个导线迹线、一个或多个参考层和绝缘材质组成。迹线和板层构成了控制阻抗。PCB 将常常采用多层结构，并且控制阻抗也可以采用各种方式来构建。但是，无论使用什么方式，阻抗值都将由其物理结构和绝缘材料的电子特性决定：

- 信号迹线的宽度和厚度
-
-
- 迹线两侧的核或预填材质的高度
-
-
- 迹线和板层的配置
-
-
- 核和预填材质的绝缘常数
-

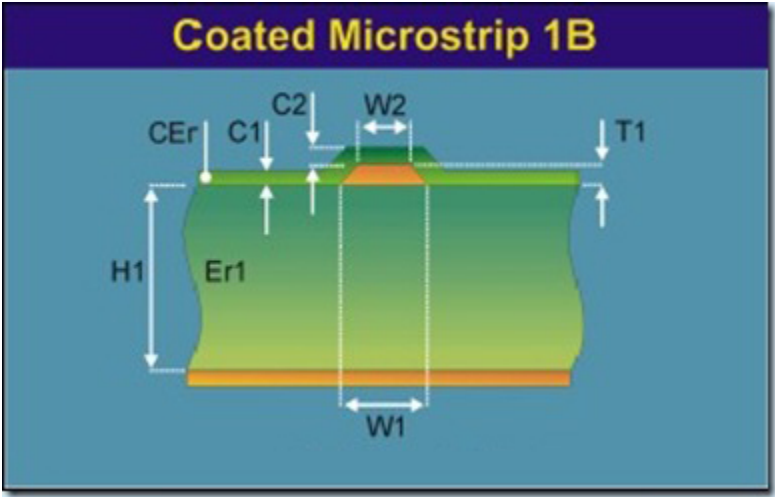
PCB 传输线主要有两种形式：微带线（Microstrip）与带状线（Stripline）。

微带线（Microstrip）：

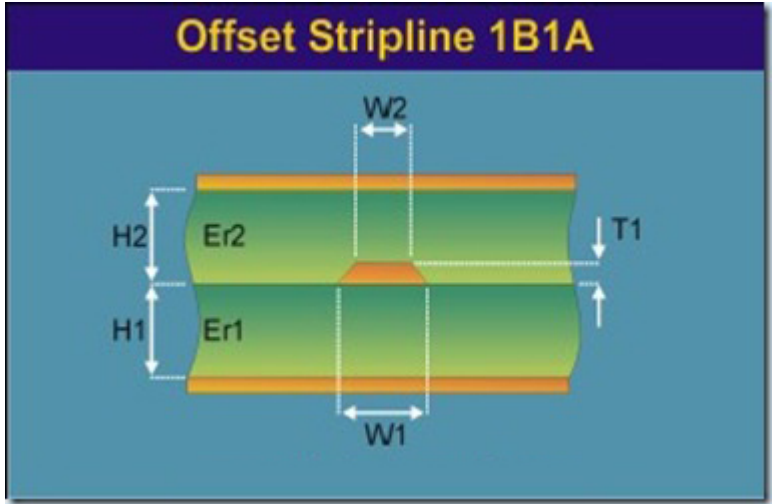
微带线是一根带状导线，指只有一边存在参考平面的传输线，顶部和侧边都曝置于空气中（也可上敷涂覆层），位于绝缘常数 ϵ_r 线路板的表面之上，以电源或接地层为参考。如下图所示：



注意：在实际的 PCB 制造中，板厂通常会在 PCB 板的表面涂覆一层绿油，因此在实际的阻抗计算中，通常对于表面微带线采用下图所示的模型进行计算：



带状线 (Stripline) :
带状线是置于两个参考平面之间的带状导线，如下图所示，H1 和 H2 代表的电介质的介电常数可以不同。

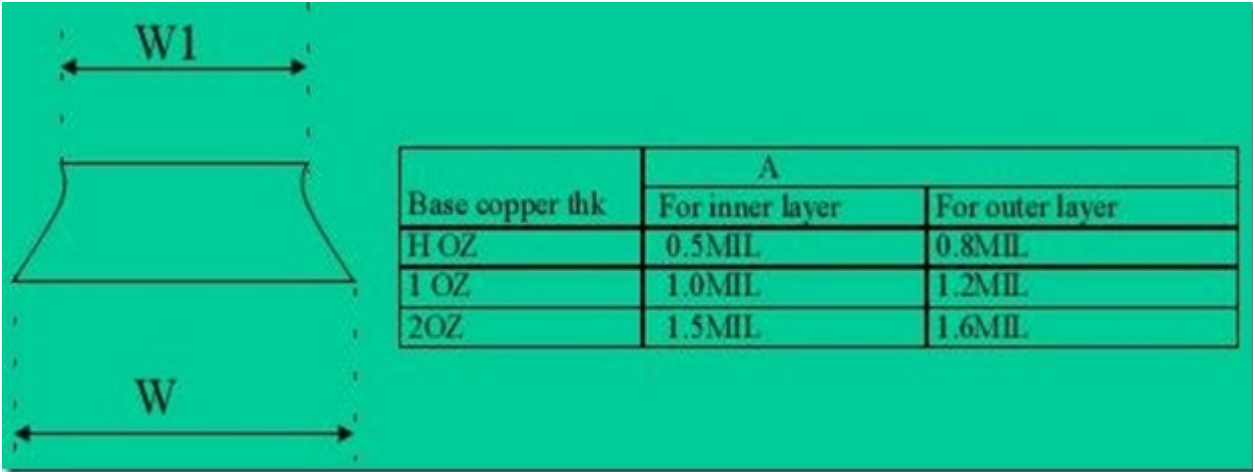


上述两个例子只是微带线和带状线的一个典型示，具体的微带线和带状线有很多种，如覆膜微带线等，都是跟具体的 PCB 的叠层结构相关。

用于计算特性阻抗的等式需要复杂的数学计算，通常使用场求解方法，其中包括边界元素分析在，因此使用专门的阻抗计算软件 SI9000，我们所需做的就是控制特性阻抗的参数：

绝缘层的介电常数 Er、走线宽度 W1、W2（梯形）、走线厚度 T 和绝缘层厚度 H。

对于 W1、W2 的说明：



此处的 $W=W1$ ， $W1=W2$ 。

规则： $W1=W-A$

W ——设计线宽

A ——Etch loss (见上表)

走线上下宽度不一致的原因是：PCB 板制造过程中是从上到下而腐蚀，因此腐蚀出来的线呈梯形。

走线厚度 T 与该层的铜厚有对应关系，具体如下：

铜厚

COPPER THICKNESS

Base copper thk For inner layer For outer layer

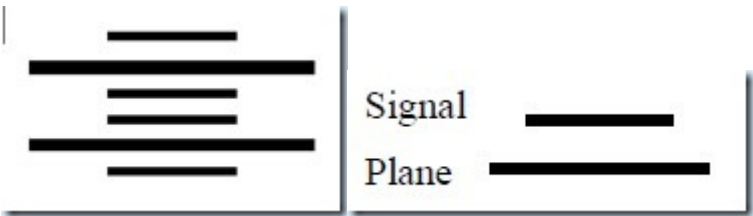
H OZ	0.6mil	1.8mil
1 OZ	1.2MIL	2.5MIL
2 OZ	2.4MIL	3.6MIL

绿油厚度：

*因绿油厚度对阻抗影响较小，故假定为定值 0.5mil。

我们可以通过控制这几个参数来达到阻抗控制的目的，下面以安维的底板 PCB 为例说明阻抗控制的步骤和 SI9000 的使用：

底板 PCB 的叠层为下图所示：



第二层为地平面，第五层为电源平面，其余各层为信号层。

各层的层厚如下表所示：

Layer Name	Type	Material	Thickness	Class
	SURFACE	AIR		
TOP	CONDUCTOR	COPPER	0.5 OZ	ROUTING
	DIELECTRIC	FR-4	3.800MIL	
L2-INNER	CONDUCTOR	COPPER	1 OZ	PLANE
	DIELECTRIC	FR-4	5.910MIL	
L3-INNER	CONDUCTOR	COPPER	1 OZ	ROUTING
	DIELECTRIC	FR-4	33.08MIL	
L4-INNER	CONDUCTOR	COPPER	1 OZ	ROUTING
	DIELECTRIC	FR-4	5.910MIL	
L5-INNER	CONDUCTOR	COPPER	1 OZ	PLANE
	DIELECTRIC	FR-4	3.800MIL	
BOTTOM	CONDUCTOR	COPPER	0.5 OZ	ROUTING
	SURFACE	AIR		

说明：中间各层间的电介质为 FR-4，其介电常数为 4.2；顶层和底层为裸层，直接与空气接触，空气的介电常数为 1。

需要进行阻抗控制的信号为：

DDR 的数据线，单端阻抗为 50 欧姆，走线层为 TOP 和 L2、L3 层，走线宽度为 5mil。

时钟信号 CLK 和 USB 数据线，差分阻抗控制在 100 欧姆，走线层为 L2、L3 层，走线宽度为 6mil，走线间距为 6mil。

对于计算精度的说明：

1、对于单端阻抗控制，计算值等于客户要求值；

2、对于其他特性阻抗控制：

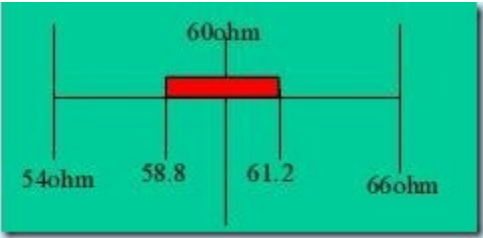
对于其它所有的阻抗设计(包括差别和特性阻抗)

*计算值与名义值差别应小于的阻抗围的 10%：

例如：客户要求：60+/-10%ohm

阻抗围=上限 66-下限 54=12ohms

阻抗围的 10%=12X10%=1.2ohms

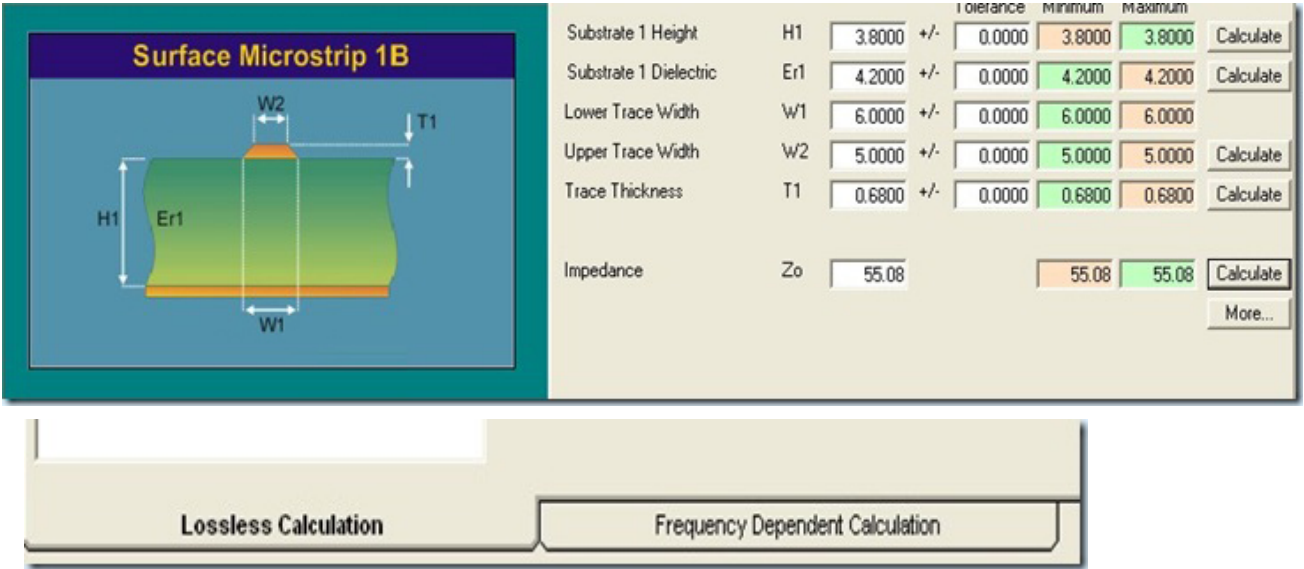


计算值必须在红框围。其余情况类推。

下面利用 SI9000 计算是否达到阻抗控制的要求：

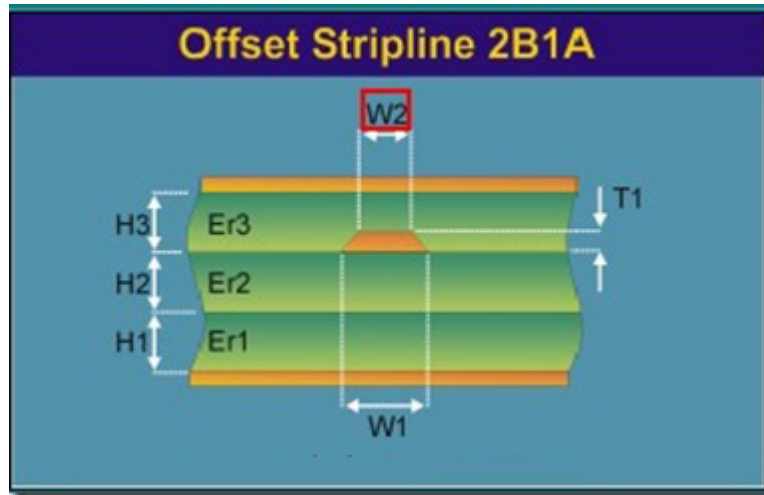
首先计算 DDR 数据线的单端阻抗控制：

TOP 层：铜厚为 0.50Z，走线宽度为 5MIL，距参考平面的距离为 3.8MIL，介电常数为 4.2。选择模型，代入参数，选择 lossless calculation, 如图所示：



计算得到单端阻抗为 $Z_o=55.08\text{ohm}$ ，与要求相差 5 欧姆。根据板厂的反馈，他们将走线宽度改为 6MIL 以达到阻抗控制，经过验证，在宽度 $W_2=6\text{MIL}$, $W_1=7\text{MIL}$ 的情况下，计算得到的单端阻抗为 $Z_o=50.56$ 欧姆，符合设计要求。

L2 层：在 L2 层的走线模型如下图所示：



代入参数进行计算得到如下图所示：

		Tolerance		Minimum	Maximum	
	Substrate 1 Height	H1	5.9100 +/-	0.0000	5.9100	5.9100 Calculate
	Substrate 1 Dielectric	Er1	4.2000 +/-	0.0000	4.2000	4.2000 Calculate
	Substrate 2 Height	H2	33.0800 +/-	0.0000	33.0800	33.0800 Calculate
	Substrate 2 Dielectric	Er2	4.2000 +/-	0.0000	4.2000	4.2000 Calculate
	Substrate 3 Height	H3	5.9100 +/-	0.0000	5.9100	5.9100 Calculate
	Substrate 3 Dielectric	Er3	4.2000 +/-	0.0000	4.2000	4.2000 Calculate
	Lower Trace Width	W1	6.0000 +/-	0.0000	6.0000	6.0000
	Upper Trace Width	W2	5.0000 +/-	0.0000	5.0000	5.0000 Calculate
	Trace Thickness	T1	1.2000 +/-	0.0000	1.2000	1.2000 Calculate
Notes		Impedance	Zo	50.59	50.59	50.59 Calculate

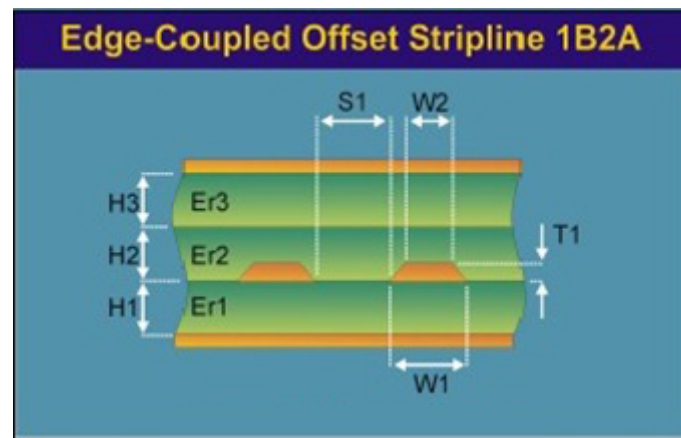
计算得到单端阻抗为 $Z_0=50.59$ 欧姆，符合设计要求。

同理可以得到 L3 层的单端阻抗，在此不再赘述。

下面计算差分阻抗控制：

由 PCB 设计可知，底板 PCB 中时钟走线在 L3 层，USB 数据线在 L2 层，走线宽度均为 6MIL,间距为 6MIL。

时钟信号选择的模型如下所示：



按照提供给板厂的数据计算得到的结果如下图所示：

Edge-Coupled Offset Stripline 1B2A

				Tolerance	Minimum	Maximum	
Substrate 1 Height	H1	5.9100	+/-	0.0000	5.9100	5.9100	Calculate
Substrate 1 Dielectric	Er1	4.2000	+/-	0.0000	4.2000	4.2000	Calculate
Substrate 2 Height	H2	33.0800	+/-	0.0000	33.0800	33.0800	Calculate
Substrate 2 Dielectric	Er2	4.2000	+/-	0.0000	4.2000	4.2000	Calculate
Substrate 3 Height	H3	5.9100	+/-	0.0000	5.9100	5.9100	Calculate
Substrate 3 Dielectric	Er3	4.2000	+/-	0.0000	4.2000	4.2000	Calculate
Lower Trace Width	W1	7.0000	+/-	0.0000	7.0000	7.0000	
Upper Trace Width	W2	6.0000	+/-	0.0000	6.0000	6.0000	Calculate
Trace Separation	S1	6.0000	+/-	0.0000	6.0000	6.0000	Calculate
Trace Thickness	T1	1.3500	+/-	0.0000	1.3500	1.3500	Calculate

Notes

Add your comments here

Units

Mils

Differential Impedance

Zdiff

81.90

81.90

81.90

Calculate

根据板厂的反馈，差分阻抗只能做到 85 欧姆，与计算结果接近（他们可以微调板层厚度，但不能调线）。但是改变线间距为 12MIL 时，计算得到的差分阻抗为 92.97 欧姆，再将线宽调为 5MIL 时，差分阻抗为 98.99 欧姆，基本符合设计要求。

经验小结

1、当差分走线在中间信号层走线时，差分阻抗的控制比较困难，因为精度不够，就是说改变介质层厚度对差分阻抗的影响不大，只有改变走线的间距才对差分阻抗影响较大。但是当走线在顶层或底层时，差分阻抗就比较好控制，很容易达到设计要求，通过实际计算发现，**重要的信号线最好走表层，容易进行阻抗控制，尤其是时钟信号差分。**

2、在 PCB 设计之前，首先必须通过阻抗计算，把 PCB 的叠层参数确定，如各层的铜厚，介质层的厚度等等，还有差分走线的宽度和间距都需要事先计算得出，这些就是 PCB 的前端仿真，保证重要的信号线的阻抗控制满足设计要求。

3、关于介电常数 Er 的问题：

以我们使用最多的 FR-4 介质的材料板为例：实际多层板是芯板和压合树脂层堆叠而成，其芯板本身也是由半固化片组合而成。常用的三种半固化片技术指标如下表 1 所示。

表 1

半固化片编号	Er (f=1GHz)	h(mm)
1080	3.6	0.075
2116	4.2	0.105
7628	4.5	0.175

半固化片组合的介电常数不是简单的算术平均，甚至在构成微带线和带状线时的 Er 值也有所不同。另一方面，FR-4 的 Er 也随信号频率的变化有一定改变，不过在 1GHz 以下一般认为 FR-4 材料的 Er 值约 4.2。通常计算时采用 4.2。

4、在实际的阻抗控制中，一般采用介质为 FR-4，其 Er 约 4.2，线条厚度 t 对阻抗影响较小，实际主要可以调整的是 H 和 W，W(设计线宽)一般情况下是由设计人员决定的，但在设计时应充分考虑线宽对阻抗的配合性和实际加工精度。当然，采用较小的 W 值后线条厚度 t 的影响就不容忽视了。H(介质层厚度)对阻抗控制的影响最大，实际 H 有两类情况：一种是芯板，材料供应商所提供的板材中 H 的厚度也是由以上三种半固化片组合而成，但其在组合的过程中必然会考虑三种材料的特性，而绝非无条件的任意组合，因此板材的厚度就有了一定的规定，形成了一个相应的清单，同时 H 也有了一定的限制。如 0.17mm 1/1 的芯板

为 2116 ×1, 0.4mm 1/1 的芯板为 1080×2+7628×1 等。另一种是多层板中压合部分的厚度：其方法基本上与前相同但需注意铜层的损失。如电层间用半固化片进行填充，因在制作层的过程中铜箔被蚀刻掉的部分很少，则半固化片中树脂对该区的填充亦很少，则半固化片的厚度损失可忽略。反之，如信号层之间用半固化片进行填充，由于铜箔被蚀刻掉的部分较多，则半固化片的厚度损失会很大且难以估计。因此，有人建议在层的信号层要求铺铜以减少厚度损失。（上述资料来源于：PCB 高速数字设计中的阻抗控制（西南电子电信技术研究所 飞））

5、特征阻抗与传输线的宽度是成反比的,宽度越宽,阻抗越低,反之则阻抗更高。

6、在有些板的设计要求中对板层厚度有限制时,此时要达到比较好的阻抗控制,采用好的叠层设计非常关键。从实际的计算中可以得出以下结论:

- a. 每个信号层都要有参考平面相邻,能保证其阻抗和信号质量;
- b. 每个电源层都要有完整的地平面相邻,使得电源的性能得以较好的保证;

7、关于差分走线的线宽和间距对阻抗控制的讨论:

通过软件计算发现,改变差分对的间距对阻抗控制的影响较大,但是这里涉及到另一个问题,就是差分对的耦合问题。

差分对耦合的主要目的是增强对外界的抗干扰能力和抑止 EMI。耦合分为紧耦合方式(即差分对线间距小于或等于线宽)和松耦合方式。

如果能保证周围所有的走线离差分对较远(比如远远大于 3 倍的线宽),那么差分走线可以不用保证紧密的耦合,最关键的是保证走线长度相等即可。(可以参见 Johnson 的信号完整性上的关于差分走线的阐述,他就要求他的 layout 工程师将差分线离得较远,这样可以方便绕线)。只是目前大多数多层高速的 PCB 板走线空间很紧密,根本无法将差分走线和其它走线隔离开来,所以这时候保持紧密的耦合以增加抗干扰能力是应该的。

紧耦合不是差分走线的必要条件,但是在空间不够时走线采用紧耦合方式能够增强差分走线的抗干扰能力。因此,对于差分对的阻抗控制问题,怎么调节各个参数需要综合考虑上述因素,择优选择。**一般情况下不要轻易调整差分对的间距和线宽。**

延伸：差分对走线的 PCB 要求

(1) 确定走线模式、参数及阻抗计算。差分对走线分外层微带线差分模式和层带状线差分模式两种,通过合理设置参数,阻抗可利用相关阻抗计算软件(如 POLAR-SI9000)计算也可利用阻抗计算公式计算。

(2) 走平行等距线。确定走线线宽及间距,在走线时要严格按照计算出的线宽和间距,两线间距要一直保持不变,也就是要保持平行。平行的方式有两种:一种为两条线走在同一线层(side-by-side),另一种为两条线走在上下相两层(over-under)。一般尽量避免使用后者即层间差分信号,因为在 PCB 板的实际加工过程中,由于层叠之间的层压对准精度大大低于同层蚀刻精度,以及层压过程中的介质流失,不能保证差分线的间距等于层间介质厚度,会造成层间差分对的差分阻抗变化。因此建议尽量使用同层的差分。

(3) 紧耦合原则。

在计算线宽和间距时最好遵守紧耦合的原则,也就是差分对线间距小于或等于线宽。当两条差分信号线距离很近时,电流传输方向相反,其磁场相互抵消,电场相互耦合,电磁辐射也要小得多。

(4) 走短线、直线。

为确保信号的质量,差分对走线应该尽可能地短而直,减少布线中的过孔数,避免差分对布线太长,出现太多的拐弯,拐弯处尽量用 45°或弧线,避免 90°拐弯。

(5) 不同差分线对间处理。

差分对对走线方式的选择没有限制，微带线和带状线均可，但是必须注意要有良好的参考平面。对不同差分线之间的间距要求间隔不能太小，至少应大于3~5倍差分线间距。必要时在不同差分线对之间加地孔隔离以防止相互间的串扰。

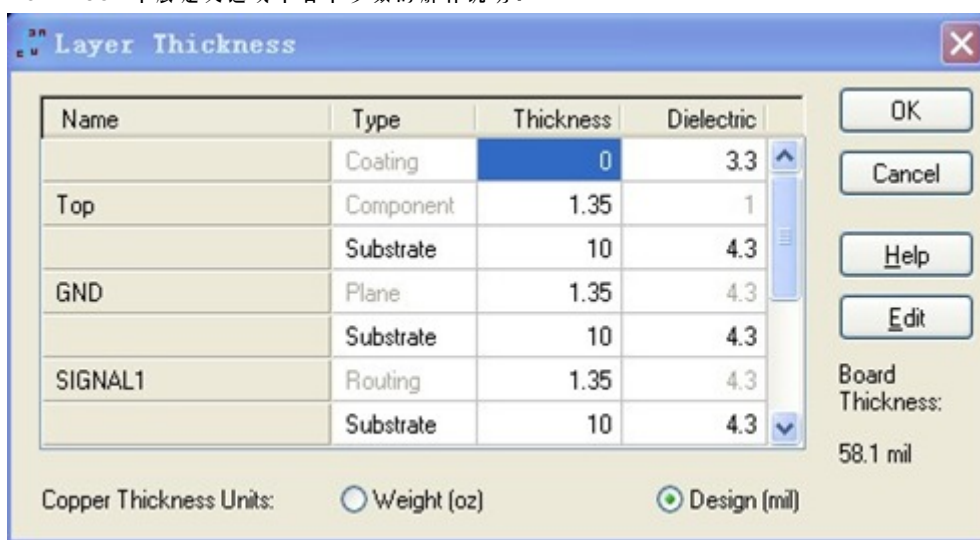
(6). 远离其它信号。

对差分对信号和其它信号比如TTL信号，最好使用不同的走线层，如果因为设计限制必须使用同一层走线，差分对和TTL的距离应该足够远，至少应该大于3~5倍差分线间距。

(7). 差分信号不可以跨平面分割。

尽管两根差分信号互为回流路径，跨分割不会割断信号的回流，但是跨分割部分的传输线会因为缺少参考平面而导致阻抗的不连续(如图箭头处所示，其中GND1、GND2为LVDS相邻的地平面)。

8、PADS LAYOUT 中层定义选项卡各个参数的解释说明：



coating 表示涂覆层，如果没有涂覆层，就在 thickness 中填 0, dielectric (介电常数) 填 1 (空气)。
substrate 表示基板层，即电介质层，一般采用 FR-4，厚度是通过阻抗计算软件计算得到，介电常数为 4.2 (频率小于 1GHz 时)。

点击 Weight(oz)项，可以设定铺铜的铜厚，铜厚决定了走线的厚度。

9、绝缘层的 Prepreg/Core 的概念：

PP (prepreg) 是种介质材料，由玻璃纤维和环氧树脂组成，core 其实也是 PP 类型介质，只不过他的两面都覆有铜箔，而 PP 没有，制作多层板时，通常将 CORE 和 PP 配合使用，CORE 与 CORE 之间用 PP 粘合。

10、PCB 叠层设计中的注意事项：

(1)、翘曲问题

PCB 的叠层设计要保持对称，即各层的介质层厚、铺铜厚度上下对称，拿六层板来说，就是 TOP-GND 与 BOTTOM-POWER 的介质厚度和铜厚一致，GND-L2 与 L3-POWER 的介质厚度和铜厚一致。这样在层压的时候不会出现翘曲。

(2)、信号层应该和邻近的参考平面紧密耦合 (即信号层和邻近敷铜层之间的介质厚度要很小)；电源敷铜和地敷铜应该紧密耦合。

(3)、在很高速的情况下，可以加入多余的地层来隔离信号层，但建议不要多家电源层来隔离，这样可能造成不必要的噪声干扰。

(4)、典型的叠层设计层分布如下表所示：

层数	1	2	3	4	5	6	7	8	9	10	11	12
4	S	GND	PWR	S								
4	GND	S	S	PWR								
6	S	S	GND	PWR	S	S						
6	S	GND	S	S	PWR	S						
6	S	PWR	GND	S	GND	S						
8	S	GND	S	GND	PWR	S	GND	S				
8	S	S	GND	S	S	PWR	S	S				
10	S	GND	S	S	GND	PWR	S	S	GND	S		
10	S	S	PWR	GND	S	S	GND	PWR	S	S		
12	S	GND	S	S	PWR	S	S	PWR	S	S	GND	S
12	S	GND	S	PWR	S	PWR	S	GND	S	S	PWR	S

表 常用多层PCB叠层设计配置

(5)、层的排布一般原则：

元件面下面（第二层）为地平面，提供器件屏蔽层以及为顶层布线提供参考平面；

所有信号层尽可能与地平面相邻；

尽量避免两信号层直接相邻；

主电源尽可能与其对应地相邻；

兼顾层压结构对称。

对于母板的层排布，现有母板很难控制平行长距离布线，对于板级工作频率在 50MHZ 以上的（50MHZ 以下的情况可参照，适当放宽），建议排布原则：

元件面、焊接面为完整的地平面（屏蔽）；

无相邻平行布线层；

所有信号层尽可能与地平面相邻；

关键信号与地层相邻，不跨分割区。